

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

11046 U.S. PTO
09/819715
03/29/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2001年 2月 2日

出願番号

Application Number:

特願2001-027323

出願人

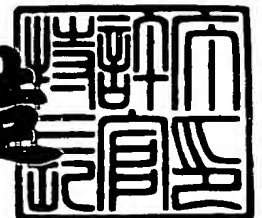
Applicant(s):

株式会社デンソー

2001年 3月 9日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3015767

【書類名】 特許願

【整理番号】 IP5498

【提出日】 平成13年 2月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 17/08
H01L 29/78

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

 【氏名】 福田 豊

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

 【氏名】 奥田 良一

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

 【氏名】 牧野 友厚

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

 【氏名】 都築 幸夫

【特許出願人】

 【識別番号】 000004260

 【氏名又は名称】 株式会社デンソー

【代理人】

 【識別番号】 100100022

 【弁理士】

 【氏名又は名称】 伊藤 洋二

 【電話番号】 052-565-9911

【選任した代理人】

 【識別番号】 100108198

 【弁理士】

【氏名又は名称】 三浦 高広

【電話番号】 052-565-9911

【選任した代理人】

【識別番号】 100111578

【弁理士】

【氏名又は名称】 水野 史博

【電話番号】 052-565-9911

【先の出願に基づく優先権主張】

【出願番号】 特願2000-101305

【出願日】 平成12年 3月31日

【手数料の表示】

【予納台帳番号】 038287

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9300006

【包括委任状番号】 9701008

【包括委任状番号】 9905390

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体スイッチング素子駆動回路

【特許請求の範囲】

【請求項 1】 ゲート端子（4 a）と第 1 端子（4 b）及び第 2 端子（4 c）を有し、ゲート端子への電圧印加により前記第 1、第 2 端子間に主電流を流す半導体スイッチング素子（4）と、

前記主電流が所定時間以上の間所定電流値（ i_2 ）を超えるような過電流となる場合に、まず、該主電流を第 1 の傾斜で低下させ、その後、該主電流を前記第 1 の傾斜よりも急な第 2 の傾斜で低下させる過電流保護回路（20）と、

前記主電流が前記所定時間よりも短時間で前記過電流よりもさらに大きな過電流となる場合に、前記ゲート端子の電圧を瞬時に低減させる過電流制限回路（10）と、を備えていることを特徴とする半導体スイッチング素子駆動回路。

【請求項 2】 前記過電流制限回路は、前記過電流保護回路内の遅れ時間よりも短時間で前記大きな過電流となる場合に、前記ゲート端子の電圧を低減させるようになっていることを特徴とする請求項 1 に記載の半導体スイッチング素子駆動回路。

【請求項 3】 ゲート端子（4 a）と第 1 端子（4 b）及び第 2 端子（4 c）を有し、ゲート端子への電圧印加により前記第 1、第 2 端子間に主電流を流す半導体スイッチング素子（4）と、

前記主電流が第 1 の比較電流（ i_1 ）より大きくなると、前記ゲート端子の電圧を瞬時に低減させる過電流制限回路（10）と、

前記主電流が前記第 1 の比較電流よりも低い第 2 の比較電流（ i_2 ）より大きくなると、まず、該主電流を第 1 の傾きで低下させ、その後、該主電流が前記第 2 の比較電流よりも低い第 3 の比較電流（ i_3 ）より小さくなると前記第 1 の傾きよりも急な第 2 の傾きで低下させる過電流保護回路（20）と、を備えていることを特徴とする半導体スイッチング素子駆動回路。

【請求項 4】 前記半導体スイッチング素子は、前記主電流に比例したセンス電流を流すセンス端子（4 d）を備えており、

前記過電流保護回路は、前記センス電流に基づいて前記主電流が前記第 2 の比

較電流より大きくなるか否かを比較する第 1 比較手段と、前記センス電流に基づいて前記主電流が前記第 3 の比較電流より小さくなるか否かを比較する第 2 比較手段とを備えていることを特徴とする請求項 3 に記載の半導体スイッチング素子駆動回路。

【請求項 5】 前記過電流保護回路は、前記第 1 比較手段の出力に遅れ時間 (T 2) を形成するディレイ回路 (2 2) を備え、

前記遅れ時間経過後に前記主電流を前記第 1 の傾きで低下させるようになっていることを特徴とする請求項 4 に記載の半導体スイッチング素子駆動回路。

【請求項 6】 前記過電流保護回路は、前記ゲート端子にコレクタが接続された過電流保護用トランジスタ (2 6) を備えており、

前記第 1 比較手段により前記主電流が前記第 2 の比較電流より大きくなったことが出力された後、前記第 2 比較手段の比較により前記主電流が前記第 3 の比較電流より小さくなったことが出力されると、前記過電流保護用トランジスタをオンさせ前記ゲート端子に印加される電圧を低減させるようになっていることを特徴とする請求項 5 に記載の半導体スイッチング素子駆動回路。

【請求項 7】 前記過電流保護回路は、

前記ディレイ回路の出力を保持しておくラッチ回路 (2 3) と、

前記ラッチ回路と前記第 2 比較手段の出力が入力されるアンド回路 (2 5) とを備えており、

前記アンド回路の出力信号によって前記過電流保護用トランジスタのオンオフを制御するようになっていることを特徴とする請求項 6 に記載の半導体スイッチング素子駆動回路。

【請求項 8】 前記半導体スイッチング素子は、前記主電流に比例したセンス電流を流すセンス端子 (4 d) を備えており、

前記過電流制限回路は、前記ゲート端子にコレクタが接続されると共に、前記センス電流に基づいてベースへの印加電圧が制御される過電流制限用トランジスタ (1 3) を備えており、

前記センス電流に基づいて前記過電流制限用トランジスタをオンさせ、前記ゲート端子に印加される電圧を低減させるようになっていることを特徴とする請求

項 1 乃至 7 のいずれか 1 つに記載の半導体スイッチング素子駆動回路。

【請求項 9】 前記半導体スイッチング素子は、前記第 1 端子をコレクタ端子（4 b）とし、前記第 2 端子をエミッタ端子（4 c）とする I G B T （4）であることを特徴とする請求項 1 乃至 8 のいずれか 1 つに記載の半導体スイッチング素子駆動回路。

【請求項 1 0】 前記 I G B T は、しきい値電圧（ V_t ）の異なる複数の素子が実質的に並列接続されて構成されていることを特徴とする請求項 1 乃至 9 のいずれか 1 つに記載の半導体スイッチング素子駆動回路。

【請求項 1 1】 前記 I G B T は、複数の異なる面方位それぞれにチャネルを形成するように構成され、各面方位においてしきい値電圧（ V_t ）が異なっていることを特徴とする請求項 1 乃至 9 に記載の半導体スイッチング素子駆動回路。

【請求項 1 2】 前記面方位のうち 1 つが { 1 0 0 } となっていることを特徴とする請求項 1 1 に記載の半導体スイッチング素子駆動回路。

【請求項 1 3】 前記 I G B T の前記ゲート端子が接続されるゲート電極（3 6）は、該 I G B T が形成される半導体基板（3 0）に対し、その上面形状が六角形状を成しており、該六角形状のうちの一边における前記面方位が { 1 0 0 } となっていることを特徴とする請求項 1 2 に記載の半導体スイッチング素子駆動回路。

【請求項 1 4】 前記 I G B T の前記ゲート端子が接続されるゲート電極（3 6）は、該 I G B T が形成される半導体基板（3 0）に対し、その上面形状がストライプ状を成しており、該ストライプ状に形成された前記ゲート電極の両側においてチャネルを形成するように構成され、該ゲート電極の両側において前記しきい値電圧が異なっていることを特徴とする請求項 1 0 に記載の半導体スイッチング素子駆動回路。

【請求項 1 5】 前記半導体基板に対してしきい値調整用のイオン注入が斜めに行われることで、前記ゲート電極の両側においてしきい値電圧が異なるようになっていることを特徴とする請求項 1 4 に記載の半導体スイッチング素子駆動回路。

【請求項 1 6】 電気自動車又はハイブリッド自動車のモータの制御を半導体スイッチング素子にて行なう自動車用モータ駆動回路において、

前記半導体スイッチング素子の駆動に、請求項 1 乃至 1 5 に記載の半導体スイッチング素子駆動回路が使用されていることを特徴とする自動車用モータ駆動回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、過電流保護機能を有する半導体スイッチング素子駆動回路に関し、特に、電気自動車等のモータ駆動回路に用いられる I G B T 等を駆動する回路に適用して好適である。

【0 0 0 2】

【従来の技術】

半導体スイッチング素子、例えば I G B T をモータ駆動用として用いる場合、負荷短絡等が発生すると I G B T のコレクタ電流が急激に増大し、I G B T が過電流破壊若しくは熱破壊されてしまう。このため、I G B T が破壊されるのを防止するためには、過電流を検出し、保護回路により I G B T を短時間で遮断する必要がある。

【0 0 0 3】

しかしながら、過電流相当のノイズが発生する場合があるため、このようなノイズによる誤作動を防止しなければならず、保護回路の高速化には限界がある。このため、誤作動の耐量を確保しつつ、I G B T を高速遮断するのは困難となっていた。

【0 0 0 4】

また、ゲート電圧の遮断時に、通常の駆動電圧から 0 V へ高速で電圧を変化させるため、高速遮断時の電流変化率 $-dI/dt$ が大きくなり、配線インダクタンスに起因する跳ね上がり電圧が大きくなって、I G B T が耐圧破壊される場合もある。

【0 0 0 5】

これらの問題を解決するものとして、特開平 9 - 6 4 7 0 7 号公報に示される半導体スイッチング素子駆動回路がある。この公報に示される半導体スイッチング素子駆動回路を図 1 1 に示す。

【 0 0 0 6 】

この従来の半導体スイッチング素子駆動回路は、図 1 1 に示すように、IGBT 1 0 1 のゲート端子 1 0 1 a とセンス端子（電流検出用エミッタ端子）1 0 1 b との間に、コンパレータ 1 0 2 とドライバ回路 1 0 3 とによる遮断遅れ時間 T_1 よりも高速にターンオンする短絡保護トランジスタ 1 0 4 を設けると共に、IGBT 1 0 1 のセンス端子 1 0 1 b とアースとの間にノイズ防止用のコンデンサ 1 0 5 を設けた構成となっている。

【 0 0 0 7 】

このような構成により、コンデンサ 1 0 5 によってノイズによる誤作動を防止しつつ、負荷短絡による過電流が発生すると、遅れ時間 T_1 より速く短絡保護トランジスタ 1 0 4 がターンオンして IGBT 1 0 1 のゲート電圧 V_g を低下させ、遅れ時間 T_1 経過するとドライバ回路 1 0 3 によって IGBT 1 0 1 が遮断されるようにしている。これにより、ノイズによる誤作動に強く、かつ IGBT 1 0 1 を高速遮断できる半導体スイッチング素子駆動回路を実現している。

【 0 0 0 8 】

【発明が解決しようとする課題】

近年、高電圧が要求される電気自動車等のモータ駆動においても IGBT 等が使用されている。このような電気自動車等のモータ駆動回路を図 1 2 に示す。この図に示されるように、モータ駆動回路には例えば 3 相の駆動回路が使用される。

【 0 0 0 9 】

このようなモータ駆動回路では、モータ 1 1 0 内の巻線同士がショートしたり各相への配線間でショートする負荷短絡や、図 1 2 に示す上下に並べられた IGBT 1 1 1 が誤作動により同時にオン状態となってしまうアーム短絡の際には比較的短時間に非常に大きくなる過電流（短絡電流）が発生させ、モータロック等の際には短絡電流よりは小さくなる過電流を比較的長時間発生させる。

【 0 0 1 0 】

このようなモータ駆動回路に従来の半導体スイッチング素子駆動回路を適用した場合、モータロック等による過電流については、上述した作動によって I G B T 1 0 1 を高速遮断し、I G B T 1 0 1 に流れることを防止できる。しかしながら、負荷短絡やアーム短絡のように比較的短時間に非常に大きくなる短絡電流については、ノイズ除去のためのコンデンサ 1 0 5 の存在により瞬時的に対応することができず、I G B T 1 0 1 に流れることを防止できない。そして、このとき流れる短絡電流は、モータ駆動電圧が非常に高いことから、莫大な大きさ（例えば定格電流の 5 倍以上）まで増大する。このため、I G B T が破壊されたりするという問題がある。

【 0 0 1 1 】

また、従来の半導体スイッチング素子駆動回路では遅れ時間 T 1 が経過するまで過電流をオフできないため、図 1 1 に示される他の I G B T 1 1 1 にも過電流が供給され、モータシステム上問題がある。

【 0 0 1 2 】

本発明は上記点に鑑みて、特に高電圧が要求される装置において瞬時的に増大する過電流を制御でき、かつ半導体スイッチング素子の高速遮断ができる半導体スイッチング素子駆動回路を提供することを目的とする。

【 0 0 1 3 】

【課題を解決するための手段】

上記目的を達成するため、請求項 1 に記載の発明では、ゲート端子（4 a）と第 1 端子（4 b）及び第 2 端子（4 c）を有し、ゲート端子への電圧印加により第 1、第 2 端子間に主電流を流す半導体スイッチング素子（4）と、主電流が所定時間以上の間所定電流値（ i_2 ）を超えるような過電流となる場合に、まず、該主電流を第 1 の傾斜で低下させ、その後、該主電流を前記第 1 の傾斜よりも急な第 2 の傾斜で低下させる過電流保護回路（2 0）と、主電流が前記所定時間よりも短い時間で前記過電流よりもさらに大きな過電流となる場合に、ゲート端子の電圧を瞬時に低減させる過電流制限回路（1 0）と、を備えていることを特徴としている。

【0014】

このように、比較的短期間で非常に大きくなる過電流（短絡電流）に対しては、過電流制限回路により瞬時にゲート端子への電圧を低減させれば、負荷短絡やアーム短絡等の際に過電流が半導体スイッチング素子に流れないようにできる。また、モータロック等の際に比較的長期間発生する短絡電流よりも小さい過電流に対しては、過電流保護回路により、まず、主電流を第1の傾きで低下させ、その後、主電流を第1の傾きよりも急な第2の傾きで低下させれば、配線インダクタンスによる跳ね上がり電圧の影響を防止しつつ半導体スイッチング素子的高速遮断を行なうことができる。これにより、瞬間的に増大する過電流を制御でき、かつ半導体スイッチング素子的高速遮断を行なうことができる。

【0015】

例えば、請求項2に示すように、過電流制限回路は、回路内の遅れ時間より短時間で前記大きな過電流となる場合に、ゲート端子の電圧を低減させるようにすればよい。

【0016】

請求項3に記載の発明においては、主電流が第1の比較電流（ i_1 ）より大きくなると、ゲート端子の電圧を瞬時に低減させる過電流制限回路（10）と、主電流が第1の比較電流よりも低い第2の比較電流（ i_2 ）より大きくなると、まず、主電流を第1の傾きで低下させ、その後、主電流が第2の比較電流よりも低い第3の比較電流（ i_3 ）より小さくなると第1の傾きよりも急な第2の傾きで低下させる過電流保護回路（20）と、を備えていることを特徴としている。

【0017】

このように、主電流が第1の比較電流よりも大きくなったときに過電流制限回路にてゲート電圧を瞬時に低減させることができる。また、主電流が第2の比較電流よりも大きくなったときに主電流を第1の傾きで低下させ、主電流が第3の比較電流よりも小さくなったときに主電流を第1の傾きよりも急な第2の傾きで低下させることにより、配線インダクタンスによる跳ね上がり電圧の影響を防止しつつ半導体スイッチング素子的高速遮断を行なうことができる。さらに、過電流が発生してからの時間に関係なく、主電流が第3の比較電流よりも小さくなった

ときに主電流を急に低下させるようにしているため、過電流が一定時間必ず流れ
てしまうことを防止することもできる。

【 0 0 1 8 】

請求項 4 に記載の発明では、半導体スイッチング素子は、主電流に比例したセ
ンス電流を流すセンス端子（4 d）を備えており、過電流保護回路は、センス電
流に基づいて主電流が第 2 の比較電流より大きくなるか否かを比較する第 1 比較
手段と、センス電流に基づいて主電流が第 3 の比較電流より小さくなるか否かを
比較する第 2 比較手段とを備えていることを特徴としている。

【 0 0 1 9 】

このように、第 1、第 2 比較手段により、センス電流に基づいて主電流が第 2
の比較電流より大きい、若しくは主電流が第 3 の比較電流よりも小さいかを検
出することができる。

【 0 0 2 0 】

請求項 5 に記載の発明においては、過電流保護回路は、第 1 比較手段の出力に
遅れ時間（T 2）を形成するディレイ回路（2 2）を備え、遅れ時間経過後に主
電流を第 1 の傾きで低下させるようになっていることを特徴としている。これに
より、ノイズによるセンス電流の変動によって過電流保護回路が半導体スイッ
チング素子を遮断してしまうような誤作動を防止することができる。

【 0 0 2 1 】

請求項 6 においては、第 1 比較手段により主電流が第 2 の比較電流より大き
くなったことが出力された後、第 2 比較手段の比較により主電流が第 3 の比較電
流より小さくなったことが出力されると、過電流保護用トランジスタをオンさせゲ
ート端子に印加される電圧を低減させることを特徴としている。

【 0 0 2 2 】

これにより、主電流が第 1 の比較電流よりも低い第 2 の比較電流より大きくな
ると、まず、主電流を第 1 の傾きで低下させ、その後、主電流が第 2 の比較電
流よりも低い第 3 の比較電流より小さくなると第 1 の傾きよりも急な第 2 の傾きで
低下させることができる。

【 0 0 2 3 】

例えば、請求項 7 に示すように、ディレイ回路の出力を保持しておくラッチ回路（23）と、ラッチ回路と第 2 比較手段の出力が入力されるアンド回路（25）とを備え、アンド回路の出力信号によって過電流保護用トランジスタのオンオフを制御するようにすればよい。

【0024】

請求項 8 に記載の発明においては、過電流制限回路は、ゲート端子にコレクタが接続されると共に、センス電流に基づいてベースへの印加電圧が制御される過電流制限用トランジスタ（13）を備えており、センス電流に基づいて過電流制限用トランジスタをオンさせ、ゲート端子に印加される電圧を低減させるようになっていることを特徴としている。

【0025】

このように構成された過電流制限回路によれば、過電流制限用トランジスタのターンオン時間を短くすることができるため、比較的短時間に非常に大きくなるような過電流（短絡電流）に対して瞬時に半導体スイッチング素子を遮断することができる。

【0026】

請求項 10 に記載の発明では、IGBT は、しきい値電圧（ V_t ）の異なる複数の素子が実質的に並列接続されて構成されていることを特徴としている。このように、しきい値の異なる複数の素子を実質的に並列接続した形態で IGBT を構成すれば、しきい値電圧が 1 種類の場合と比べて $V_g - I_c$ 特性を緩やかにすることができ、エミッターコレクタ間電圧 V_{ce} における跳ね上がり電圧 H を低減することができる。

【0027】

例えば、請求項 11 に示すように、複数の異なる面方位それぞれにチャネルを形成するようにすれば、各面方位においてしきい値電圧（ V_t ）を異ならせることができる。そして、請求項 12 に示すように、面方位のうち 1 つを {100} とすれば、この面方位が他の面方位よりもしきい値電圧が低いことから、この面方位と他の面方位とを使用することで、異なるしきい値電圧を形成することができる。具体的には、請求項 13 に示すように、IGBT のゲート端子が接続され

るゲート電極（３６）を、該ＩＧＢＴが形成される半導体基板（３０）に対し、その上面形状が六角形状を成すように構成し、該六角形状のうちの一边における面方位を（１００）とすれば良い。

【００２８】

また、請求項１４に示すように、ＩＧＢＴのゲート端子が接続されるゲート電極（３６）を、該ＩＧＢＴが形成される半導体基板（３０）に対し、その上面形状がストライプ状を成すように構成し、その両側においてしきい値電圧が異ならせるようにしても良い。例えば、請求項１５に示すように、半導体基板に対してしきい値調整用のイオン注入を斜めに行うことで、ゲート電極の両側のチャンネルで構成される２種類のＩＧＢＴ素子においてしきい値電圧が異なるようにできる。

【００２９】

なお、請求項１６に示すように、電気自動車又はハイブリッド自動車のモータのスイッチングを半導体スイッチング素子にて行なう自動車用モータ駆動回路に、本発明における半導体スイッチング素子駆動回路を使用すると好適である。

【００３０】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【００３１】

【発明の実施の形態】

（第１実施形態）

図１に、本発明の第１実施形態を適用した半導体スイッチング素子駆動回路の回路構成を示す。この半導体スイッチング素子駆動回路は、図６に示したような電気自動車等のモータ駆動回路の各半導体スイッチング素子の駆動に使用されるものである。以下、図１に基づいて半導体スイッチング素子駆動回路の説明を行う。

【００３２】

図１に示す半導体スイッチング素子駆動回路は、ＰＷＭ信号などの入力信号１が入力される入力ロジック回路２と、入力ロジック回路２によってオンオフ制御

されるドライバ回路 3 と、ドライバ回路 3 のオンオフに応じてスイッチングを行なう IGBT 4 と、比較的短時間に非常に大きくなる過電流（短絡電流）が IGBT 4 に流れるのを制限する過電流制限回路 10 と、IGBT 4 にモータロック等の際に発生する短絡電流よりも小さな過電流が流れないように保護する過電流保護回路 20 とを備えている。

【 0 0 3 3 】

ドライバ回路 3 は、入力ロジック回路 2 によってオンオフ切替えが行なわれるソースドライバ 3 a とシンクドライバ 3 b とからなるプッシュプル回路で構成され、ソースドライバ 3 a とシンクドライバ 3 b との接続点がゲート抵抗 5 を介して IGBT 4 のゲート端子 4 a に接続されている。入力ロジック回路 2 はドライバ回路 3 を介して、IGBT 4 のゲート端子 4 a に電圧を印加することにより、第 1 端子としてのコレクタ端子 4 b と第 2 端子としてのエミッタ端子 4 c との間にコレクタ電流 I_c を流すようになっている。

【 0 0 3 4 】

過電流制限回路 10 には、IGBT 4 のセンス端子 4 d に接続されたセンス抵抗 11、12 と、IGBT 4 のゲート端子 4 a にコレクタが接続された過電流制限用トランジスタ 13 とが備えられている。なお、センス端子 4 d は、IGBT 4 のコレクタ電流（主電流） I_c に比例した電流が流れる電流検出用端子である。また、過電流制御回路 10 には、両センス抵抗 11、12 の間と過電流制限用トランジスタ 13 のベースとの間に接続されたベース電流制限抵抗 14 が備えられている。このような構成により、センス端子 4 d を介してセンス電流が流れると、センス抵抗 11、12 が電流検出手段として働き、これらセンス抵抗 11、12 により分圧された電圧に基づいて過電流制限用トランジスタ 13 をオンさせるようになっている。ただし、これらセンス抵抗 11、12 の各抵抗値は、比較的短時間に非常に大きくなるような過電流が発生しようとした時に過電流制限用トランジスタ 13 がオンするように、コレクタ電流 I_c が数 1 に示される i_1 （第 1 の比較電流）になったときに抵抗 12 にかかる電圧が過電流制限用トランジスタ 13 のベース－エミッタ間電圧 V_{be} と同等になるような抵抗値に配分されている。

【 0 0 3 5 】

【数 1】 $i_1 = m \times V_{be} / R_1$

なお、 m は IGBT4 のコレクタ電流 I_c とセンス電流との比であり、コレクタ電流 I_c がセンス電流の m 倍（例えば 10^4 倍）となっていることを示している。また、 R_1 は抵抗 12 の抵抗値を示している。

【 0 0 3 6 】

このような構成の過電流制限回路 10 は、図 5 で示した従来の回路構成で付加されていたコンデンサ 105 をなくしたものであり、コンデンサ 105 による遅れ時間が発生しないようになっている。

【 0 0 3 7 】

なお、上述したように、過電流制限回路 10 は比較的短時間に非常に大きくなるような過電流が発生した場合にコレクタ電流 I_c を制限するようになっている。ここでいう比較的短時間とは、過電流保護回路 20 によって過電流を抑制できない所定時間、すなわち後述する過電流保護用トランジスタ 26 をオンさせるまでの回路内の遅れ時間 T_2 に相当し、この回路内遅れ時間より短時間で過電流が許容電流を超える場合にコレクタ電流 I_c が制限されるようになっている。

【 0 0 3 8 】

過電流保護回路 20 には、IGBT4 のセンス端子 4d の電位と電圧 V_1 とを比較する第 1 比較手段としての第 1 のコンパレータ 21 と、第 1 のコンパレータ 21 の出力を所定時間遅らせるディレイ回路 22 と、ディレイ回路 22 の出力を一定時間保持するラッチ回路 23 とが備えられている。また、過電流保護回路 20 には、センス端子 4d の電位と電圧 V_2 とを比較する第 2 比較手段としての第 2 のコンパレータ 24 と、ラッチ回路 23 と第 2 のコンパレータ 24 の出力信号が入力されるアンド回路 25、及びアンド回路 25 からの信号に基づいてオンオフ制御される過電流保護用トランジスタ 26 が備えられている。過電流保護用トランジスタ 26 のコレクタは、抵抗 27 を介して IGBT4 のゲート端子 4a に接続されており、IGBT4 のゲート電圧を低下させる役割を果たす。

【 0 0 3 9 】

なお、第 1 のコンパレータ 21 の比較電圧 V_1 は、コレクタ電流 I_c が数 2 で

示す i_2 (第2の比較電流) になったときに抵抗 1_1 及び 1_2 にかかる電圧と同等にされている。なお、 R_2 は抵抗 1_1 の抵抗値を示している。

【0040】

$$\text{【数2】 } i_2 = m \times V_1 / (R_1 + R_2)$$

また、第2のコンパレータ24の比較電圧 V_2 は、コレクタ電流 I_c が数3で示す i_3 (第3の比較電流) になったときに抵抗 1_1 及び 1_2 にかかる電圧と同等にされている。

【0041】

$$\text{【数3】 } i_3 = m \times V_2 / (R_1 + R_2)$$

すなわち、第1のコンパレータ21の比較電圧 V_1 と第2の比較電圧 V_2 は、 $V_1 > V_2$ の関係を満たしており、比較的長時間発生する過電流に対して第1のコンパレータ21の方が第2のコンパレータ24よりも先に反転信号を出力するようになっている。

【0042】

なお、ここでは、比較的長時間過電流が発生する場合と説明しているが、この比較的長時間とは過電流保護用トランジスタ26をオンさせるまでの回路内の遅れ時間に相当する。

【0043】

次に、上記構成の半導体スイッチング素子駆動回路の作動について説明する。図2に、過電流が生じた場合におけるタイミングチャートを示す。ただし、図2において、(a) は IGBT4 のコレクタ電流 I_c 、(b) はラッチ回路23の出力信号、(c) は IGBT4 のゲート電圧 V_g 、(d) は IGBT4 のエミッタ-コレクタ間電圧 V_{ce} を示しているものとする。

【0044】

まず、図2 (a) 中の期間 t_a で示されるように負荷短絡やアーム短絡等が発生したときには、図中の一点鎖線で示されるように、比較的短時間に非常に大きな過電流となり、この大きな過電流が瞬時的 (比較的短時間) に IGBT4 に流れようとする。しかしながら、コレクタ電流 I_c が i_1 に達すると、IGBT4 のセンス端子4d側に流れるセンス電流により、抵抗 1_2 の両端電圧が過電流制

限用トランジスタのベース－エミッタ間電圧 V_{be} まで上昇し、過電流制限用トランジスタ13をオンさせる。これにより、IGBT4のゲート電圧が低下して、コレクタ電流 I_c の増大が制限される。

【0045】

このとき、従来のようにセンス端子4dにおける電位固定するためのコンデンサ（図5参照）を配置していないため、過電流制限用トランジスタ13のターンオン時間は非常に短くなる。このため、コレクタ電流 I_c の増加を瞬時に制限することができ、IGBT4に莫大な過電流が流れ、IGBT4が破壊されることを防止することができる。

【0046】

さらに、コレクタ電流 I_c が i_2 を超えるため、第1のコンパレータ21の出力信号が「ハイレベル」となる。そして、この出力信号がディレイ回路22で時間 T_2 だけ遅らされたのちラッチ回路23で保持され、ラッチ回路23の出力信号が「ハイレベル」となる。

【0047】

続いて、ラッチ回路23からの「ハイレベル」信号、つまりフェイル信号が入力ロジック回路2に入力されると、入力ロジック回路2はシンクドライバ3bをオンさせる。これにより、IGBT4のゲート電圧が低下し、コレクタ電流 I_c が緩やかな第1の傾きで低下してゆく。

【0048】

このとき、コレクタ電流減少時の $-dI/dt$ によりIGBT4のコレクター－エミッタ間に跳ね上がり電圧が発生するが、コレクタ電流 I_c が緩やかな傾きで低下するようになっているため、跳ね上がり電圧は大きくならない。

【0049】

そして、コレクタ電流 I_c が i_3 以下になると、第2のコンパレータ24の出力信号が「ハイレベル」となり、ラッチ回路23で保持されている「ハイレベル」信号と第2のコンパレータ24の「ハイレベル」信号を受けて、アンド回路25が「ハイレベル」信号を出力し、過電流保護用トランジスタ26をオンする。これにより、IGBT4のゲート電圧が0Vまで急激に下がり、コレクタ電流 I

cが第1の傾きより急な第2の傾きで低下してIGBT4が高速遮断される。

【0050】

また、このIGBT4の遮断時にも、コレクタ電流減少時の $-dI/dt$ によりIGBT4のコレクタ-エミッタ間に跳ね上がり電圧が発生する。

【0051】

これに対し、IGBT4の遮断をコレクタ電流 I_c の大きさに基づいて行なっているため、跳ね上がり電圧が十分に抑制できる程度の値に i_3 を設定しておけば、跳ね上がり電圧による影響を受けないようにIGBT4の高速遮断を行うことができる。また、コレクタ電流 I_c が i_3 以下になったときに、過電流が発生してからの時間に関係なく、IGBT4を高速遮断するようにしているため、過電流が一定時間必ず流れてしまうことはなく、他のIGBT4に過電流が供給されることを防止することができる。

【0052】

一方、図2(a)中の期間 t_b で示されるように、モータロック等が発生した際には、短絡電流よりは小さな過電流が比較的長時間発生しようとする。この場合には、コレクタ電流 I_c が i_2 を超えるが、 i_1 を超えないため、コレクタ電流 I_c が i_2 を超えてから時間 T_2 経過後に、IGBT4のゲート電圧が低下し、コレクタ電流 I_c が第1の傾きで低下してゆく。この後、上記した期間 t_a の場合と同様にしてコレクタ電流 I_c が低下し、IGBT4が高速遮断される。

【0053】

このように、本半導体スイッチング素子駆動回路では、所定レベル以上の大電流(i_1)を検出した場合には、時間遅れなく瞬時に電流を制限し、上記所定レベルよりも小さい中電流(i_2)を検出した場合には、時間遅れを形成してIGBT4をソフトにオフさせて電流を減らしていき、所定の小電流(i_3)となったときに瞬時にIGBT4をオフさせるようにしている。換言すれば、コレクタ電流 I_c が大電流の場合は瞬時に低下させ、中電流の場合は小電流に低下させたのち、小電流をさらに低下させるという3段階の電流制御を行なうようにしている。このため、比較的短時間に過電流が莫大に大きくなる場合にも、比較的長時間過電流が発生させる場合にも共に対応でき、いずれの場合にもIGBT4に過

電流が流れることを防止することができる。

【0054】

なお、本実施形態における $i_1 \sim i_3$ は、IGBT4 が使用される対象によって異なるが、IGBT4 を電気自動車に使用する場合には、 i_1 が 1200 A 程度、 i_2 が 800 A 程度、 i_3 が 500 A 程度に設定される。

【0055】

(第2実施形態)

図3に、本発明の第2実施形態における半導体スイッチング素子駆動回路の回路構成を示す。本実施形態における半導体スイッチング素子駆動回路は、第1実施形態に対して回路構成を部分的に変更したものであるため、異なる部分についてのみ説明する。

【0056】

図3に示すように、本実施形態における半導体スイッチング素子駆動回路は、図1に示す半導体スイッチング素子駆動回路と比べて過電流保護用トランジスタ26の構成が異なっている。すなわち、第2のコンパレータ24では、IGBT4のゲート電圧と所定電圧(V_3)とを比較するようになっており、この第2コンパレータ24の出力に基づいてコレクタ電流 I_c 低下の傾き切替えが制御されるようになっている。

【0057】

このようにIGBT4のゲート電圧が所定電位となったときに過電流保護用トランジスタ26がオンするようにしても第1実施形態と同様の効果を得ることができる。

【0058】

(第3実施形態)

図4に、本発明の第3実施形態における半導体スイッチング素子駆動回路の回路構成を示す。本実施形態における半導体スイッチング素子駆動回路は、第1実施形態に対して回路構成を部分的に変更したものであるため、異なる部分についてのみ説明する。

【0059】

図4に示すように、本実施形態では、ラッチ回路23の出力信号に基づいて過電流保護用トランジスタ26のオンオフを制御するように構成している。また、ラッチ回路23及び第2のコンパレータ24の出力信号が入力されるアンド回路25の出力に基づいて、入力ロジック回路2がドライバ回路3のオンオフを制御するように構成している。

【0060】

このため、比較的長時間過電流が発生しようとした際には、まず、過電流保護用トランジスタ26がオンして電流を第1の傾きで低下させ、続いて、ドライバ回路3のシンクドライバ3bをオンさせて電流を第1の傾きより急な第2の傾きで低下させてIGBT4を高速遮断するようになっている。

【0061】

このように、コレクタ電流 I_c を中電流から小電流に低下させる時には、過電流保護用トランジスタ26を使用し、小電流からさらに低下させる時には、ドライバ回路3を使用するというようにしてもよい。なお、ドライバ回路3とIGBT4のゲート端子4aとの間の抵抗5の抵抗値を十分に小さくしておけば、IGBT4の電圧の低下（立下がり）を十分早くすることができる。

【0062】

また、本実施形態では、IGBT4のゲート端子4aと過電流保護用トランジスタ26のコレクタの間に、抵抗27を直列接続していると共に、コンデンサ28を並列接続している。これにより、抵抗27とコンデンサ28とで決定される時定数によって、コレクタ電流 I_c を中電流から小電流に低下させる時の第1の傾きを決定することができる。従って、抵抗27やコンデンサ28を適宜選択することにより、半導体スイッチング素子駆動回路が使用する対象に応じて上記傾きを設定することが可能である。

【0063】

なお、IGBT4のゲート端子4aとコンデンサ28との間にはダイオード29が接続してあるが、このダイオード29はコンデンサ28に蓄えられた電圧による電流の逆流を防止するためのものである。

【0064】

(第 4 実施形態)

本実施形態では、上記各実施形態に使用されている I G B T 4 の具体的素子構造について説明する。図 5 (a) に、本実施形態における I G B T 4 の平面レイアウト構成を示し、(b) に、(a) の A - A 断面を示す。

【 0 0 6 5 】

図 5 (b) に示すように、I G B T 4 は、 p^+ 型基板 3 0 に形成される。 p^+ 型基板 3 0 の表面側には、 n^+ 型層 3 1 及び n^- 型層 3 2 が形成されていると共に、 p 型ベース層 3 3 が形成され、この p 型ベース層 3 3 を貫通するようにトレンチ 3 4 が形成されている。このトレンチ 3 4 にはゲート酸化膜 3 5 を介してゲート電極 3 6 が形成されており、さらに、トレンチ 3 4 の側面には n^+ 型エミッタ領域 3 7 が形成されている。また、 n^+ 型エミッタ領域 3 7 の一部及びトレンチ 3 4 の上部を覆うように絶縁膜 3 8 が形成され、この絶縁膜 3 8 に形成されたコンタクトホール 3 8 a を介して n^+ 型エミッタ領域 3 7 及び p 型ベース層 3 3 に接続されるエミッタ電極 3 9 が形成されている。そして、 p^+ 型基板 3 0 の裏面側にコレクタ電極 4 0 が形成されている。これらの構成により I G B T 4 が形成されている。

【 0 0 6 6 】

このような I G B T 4 においては、ゲート電極 3 6 に電圧を印加すると、トレンチ 3 4 の側面における p 型ベース層 3 3 にチャンネルが形成され、このチャンネルを通じてエミッターコレクタ間に電流が流れるように作動する。

【 0 0 6 7 】

このように動作する I G B T 4 を、図 5 (a) に示すように、ゲート電極 3 6 、絶縁膜 3 8 に形成されたコンタクトホール 3 8 a (すなわちエミッタ電極 3 9 のコンタクト部)等の上面形状が六角形を成すように I G B T 4 を構成している。そして、六角形状の一辺の面方位を $\{100\}$ とし、他の辺を $\{100\}$ 面よりも高次の面方位として構成している。このような構成では、チャンネルとなる領域の面方位が異なることから、各辺においてしきい値電圧 V_t が異なるものとなる。従って、面方位が $\{100\}$ の一辺においては、面方位が $\{100\}$ よりも高次の辺と比べ、しきい値電圧 V_t が小さくなることが知られており、I G B T

4 が図 6 に示されるような等価回路で示されることになる。

【 0 0 6 8 】

この等価回路で示される IGBT 4 は、しきい値電圧 V_t が異なる 2 つの IGBT α と IGBT β とを実質的に並列接続したものとなっており、この IGBT 4 の $V_g - I_c$ 特性を示すと図 7 の実線のように表される。すなわち、IGBT α と IGBT β における特性を合成したものが IGBT 4 の特性となり、例えばプレーナ型の IGBT のように全ての辺でしきい値電圧 V_t が同じとなるものと比べると、緩やかな特性を有することになる。このため、IGBT 4 の $V_{ce} - I_c$ 特性が図 8 のように表され、 V_{ce} に対して I_c が 2 段階にシフトして立ち上がるような状態となる。

【 0 0 6 9 】

従って、IGBT 4 を上記構成とした場合には、コレクタ電流 I_c の変化、及びエミッターコレクタ間電圧 V_{ce} は図 9 のように表され、コレクタ電流 I_c の傾きが増加する際の変化点が 2 段階に別れるようになり、エミッターコレクタ間電圧 V_{ce} における跳ね上がり電圧が低減される。

【 0 0 7 0 】

以上説明したように、IGBT 4 のチャンネルが面方位の異なる少なくとも 2 つの面（上面形状で言えば辺）で構成されるようにし、各面のしきい値電圧 V_t が異なるようにすることで、面方位を 1 つとした場合と比べて $V_g - I_c$ 特性を緩やかにすることができ、エミッターコレクタ間電圧 V_{ce} における跳ね上がり電圧を低減することができる。

【 0 0 7 1 】

（第 5 実施形態）

上記実施形態では、IGBT 4 の上面形状を六角形状とすることで、しきい値電圧 V_t が異なるチャンネルを形成しているが、本実施形態のようにしても良い。

【 0 0 7 2 】

図 10（a）に本実施形態における IGBT 4 の上面形状を示す。この図に示すように、本実施形態では IGBT 4 の上面形状をストライプ形状とし、ストライプ形状に並べられたトレンチの両側にチャンネルが形成されるような構成として

いる。なお、図 1 0 (a) に示す I G B T 4 の断面形状は (b) のように示され、第 4 実施形態とほぼ同様の構成であるため、ここでは異なる部分についてのみ説明する。

【 0 0 7 3 】

本実施形態における I G B T 4 は、p 型ベース層のうちトレンチの両側の側面に位置する領域、つまりチャンネルが形成される領域において、キャリア濃度が異なっており、トレンチの両側において形成されるチャンネルのしきい値電圧 V_t が異なるように設定されている。このような構成の I G B T 4 は、例えばしきい値電圧 V_t の調整用のイオン注入を図 1 0 (b) 中に矢印で示したような斜め方向で行い、トレンチの一方側についてのみイオン注入が成されるようにすることで形成される。

【 0 0 7 4 】

このように、本実施形態のような構成とすることによっても I G B T 4 のしきい値電圧 V_t を 2 つ設けることができるため、チャンネルが形成される領域の面方位が同じであっても上記第 4 実施形態と同様の効果を得ることができる。

【 0 0 7 5 】

(他の実施形態)

上記実施形態では、回路内の遅れ時間がディレイ回路 2 2 によって形成されるとして説明を行ったが、回路内の遅れ時間は I G B T 4 のゲート電圧を低減するために必要とされる時間であるため、ディレイ回路 2 2 を設けなくても必然と形成される。この場合、ディレイ回路 2 2 を設けなくても過電流相当のノイズによる誤作動を起こさない程度の遅れ時間が形成されるようであれば、ディレイ回路 2 2 を設ける必要はない。

【 0 0 7 6 】

上記第 4、第 5 実施形態では、図 5 と図 1 0 の六角形セルとストライプセルについてのトレンチ MOS 型で説明してきたが、プレーナ型の六角形セルにおいても同様の効果を構成することができる。図 5 (b) のチャンネル部 (符号 3 4 の表面の縦方向) が平面に構成された従来のものでも六角形セル (図 5 (a)) の半分のセル (マスク使用) にチャンネル部にイオン注入すれば、図 6 の α 、 β の 2 種

類の V_t を持つIGBTが構成できる。

【0077】

また、上記第4、第5実施形態においては、上記第1～第3実施形態に示したIGBT4に対してしきい値電圧 V_t の異なるチャンネルが形成される素子構造を採用した例を示したが、パワーデバイスとして使用されるスイッチング素子に対して上記構成を用いれば、どのような回路構成に対しても上記各実施形態と同様の効果を得ることができる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態における半導体スイッチング素子駆動回路の回路構成を示した図である。

【図2】

図1に示す半導体スイッチング素子駆動回路の各部分におけるタイムチャートを示した図である。

【図3】

本発明の第2実施形態における半導体スイッチング素子駆動回路の回路構成を示した図である。

【図4】

本発明の第3実施形態における半導体スイッチング素子駆動回路の回路構成を示した図である。

【図5】

本発明の第4実施形態であって、半導体スイッチング素子駆動回路に使用されるIGBTの具体的な構成例を示した図である。

【図6】

図5に示すIGBTの等価回路を示す図である。

【図7】

図5に示すIGBTの $V_g - I_c$ 特性を示す図である。

【図8】

図5に示すIGBTの $V_{ce} - I_c$ 特性を示す図である。

【図 9】

図 5 に示す I G B T を用いた場合におけるコレクタ電流 I_c やエミッターコレクタ間電圧 V_{ce} の変化を示した図である。

【図 1 0】

本発明の第 5 実施形態であって、半導体スイッチング素子駆動回路に使用される I G B T の具体的な構成例を示した図である。

【図 1 1】

従来の半導体スイッチング素子駆動回路の回路構成を示した図である。

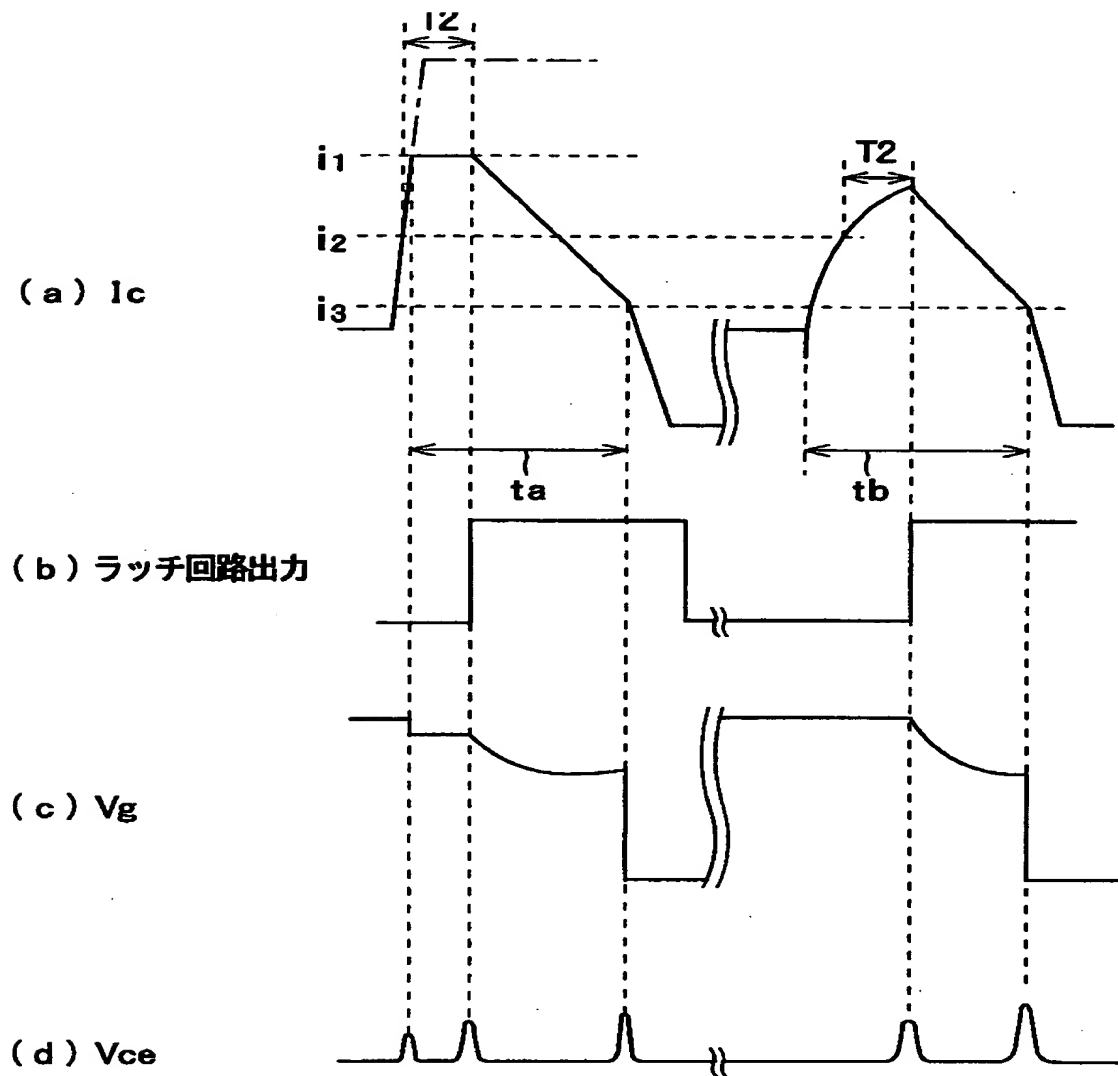
【図 1 2】

半導体スイッチング素子駆動回路をモータ駆動回路として用いる場合の回路構成を示した図である。

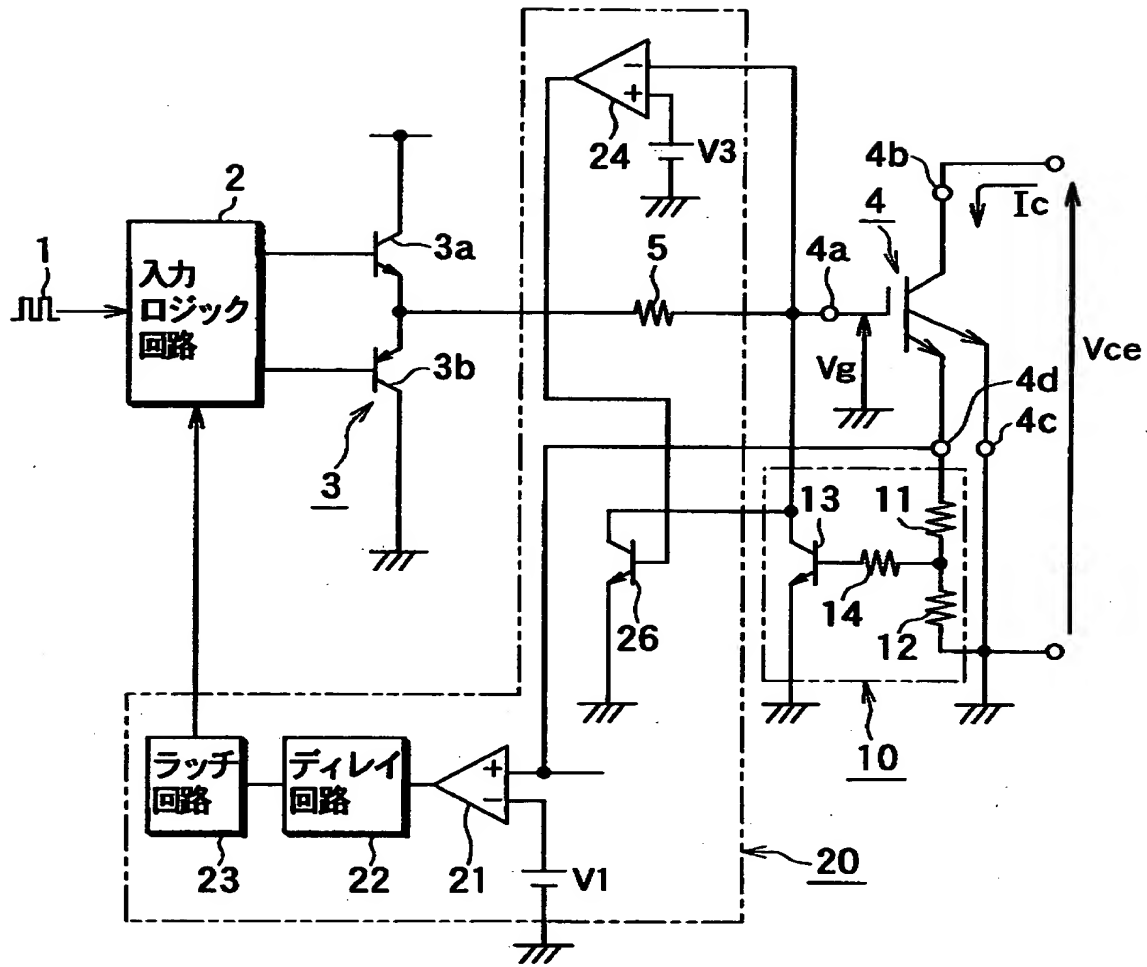
【符号の説明】

2 …入力ロジック回路、3 …ドライバ回路、4 … I G B T、4 a …ゲート端子、4 b …センス端子、1 0 …過電流制限回路、1 1 …抵抗、1 2 …抵抗、1 3 …過電流制限用トランジスタ、2 0 …過電流保護回路、2 1、2 4 …第 1、第 2 のコンパレータ、2 2 …ディレイ回路、2 3 …ラッチ回路、2 5 …アンド回路、2 6 …過電流保護用トランジスタ。

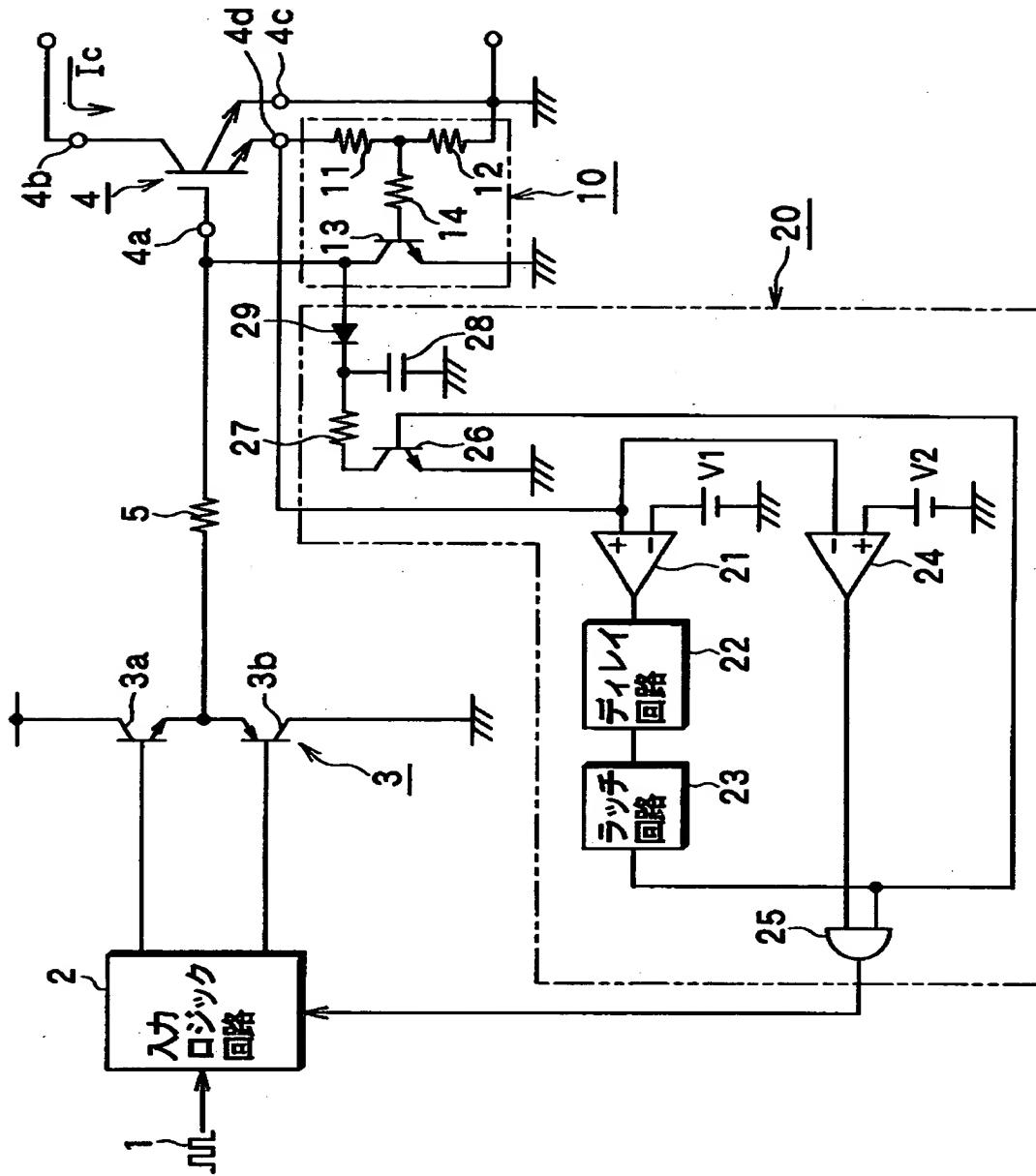
【図 2】



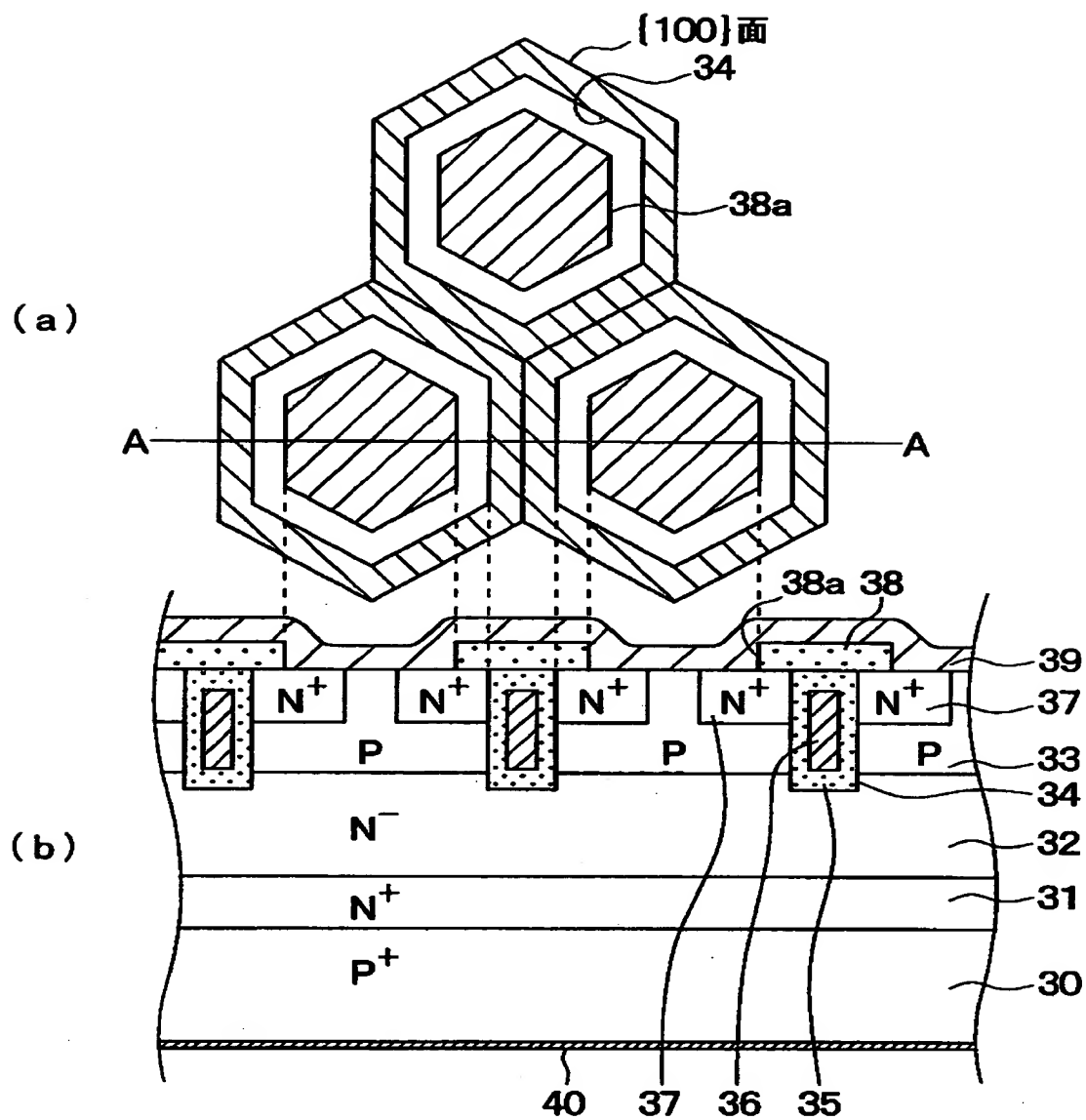
【図 3】



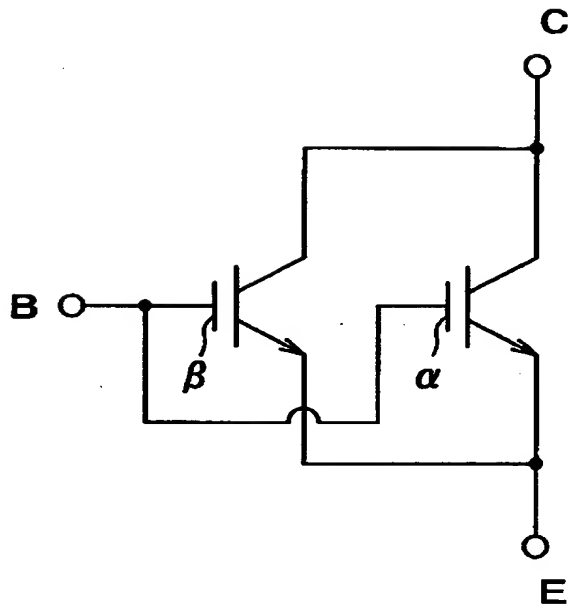
【図4】



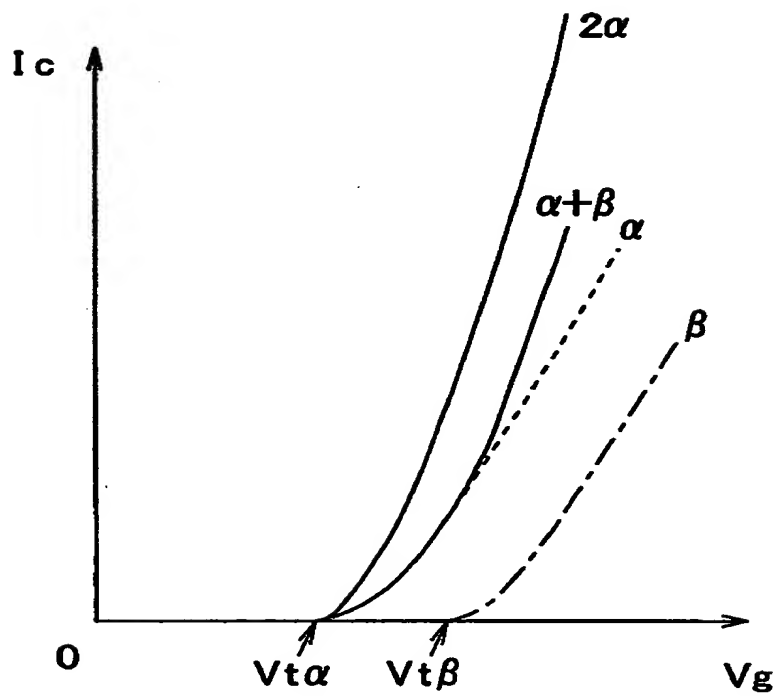
【図5】



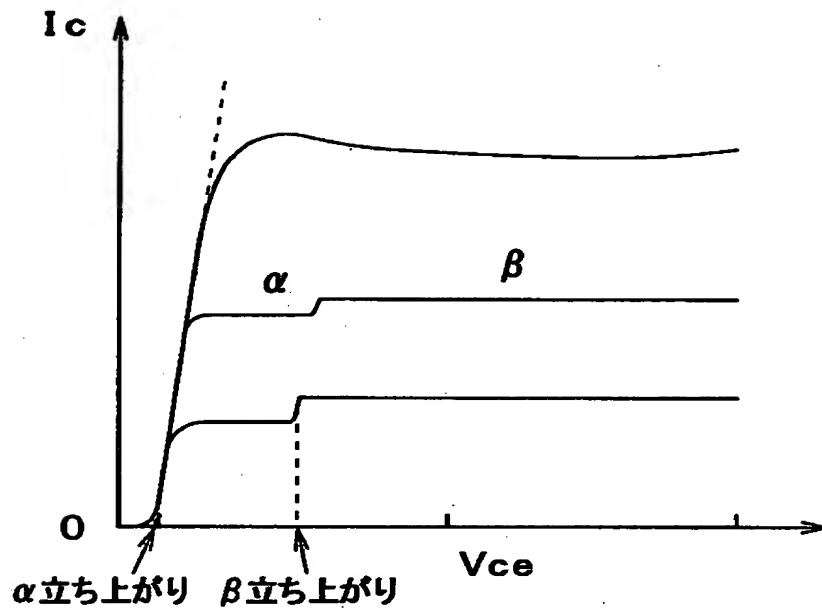
【図6】



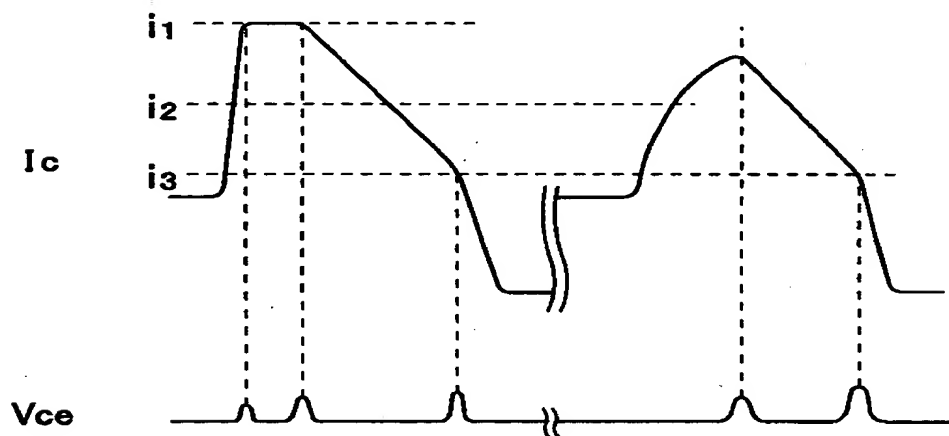
【図7】



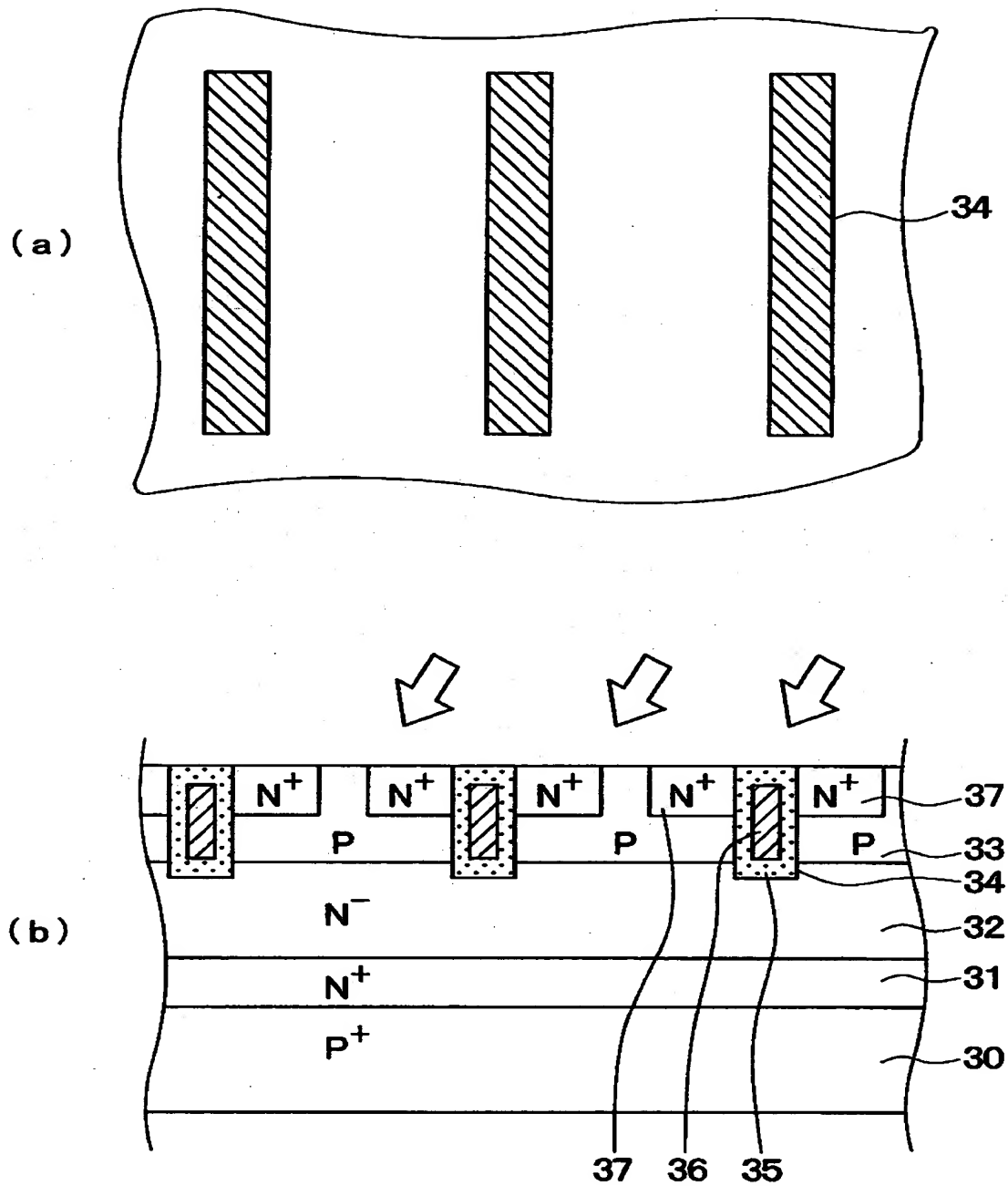
【図8】



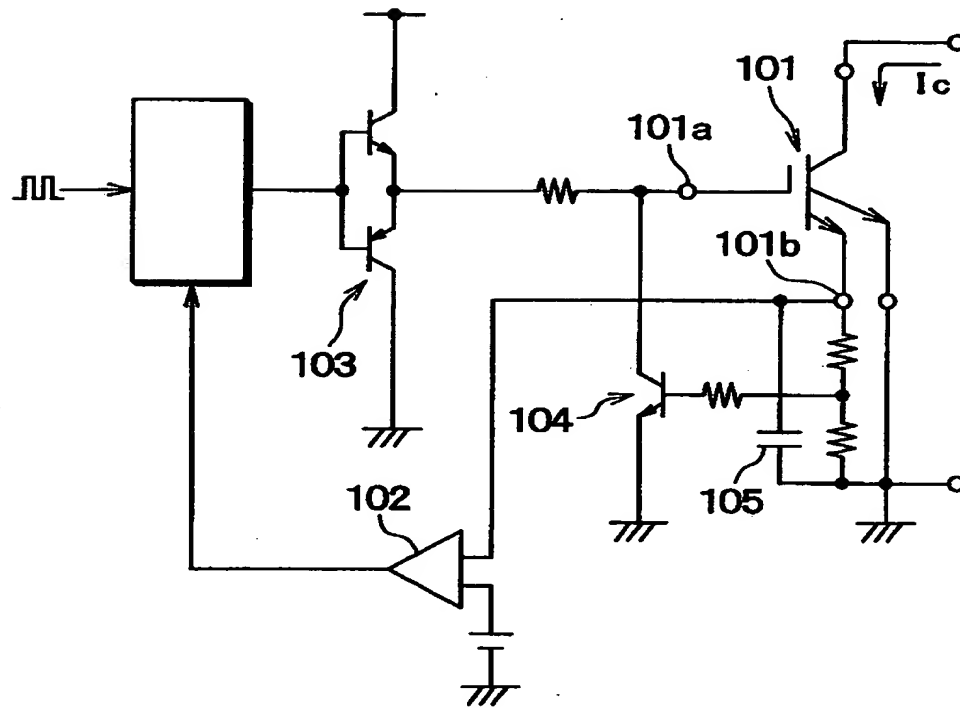
【図9】



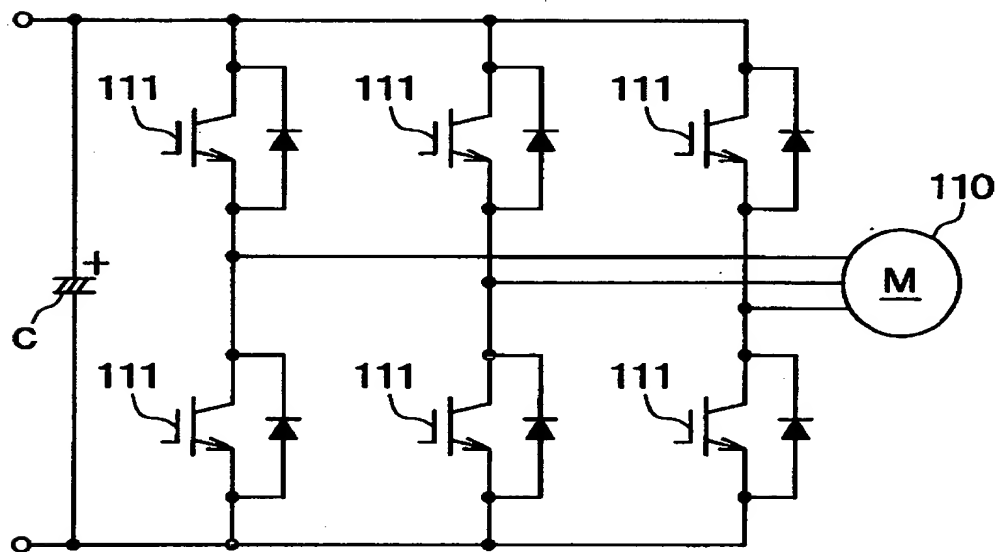
【図10】



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 瞬間的に増大する過電流を制御でき、かつ半導体スイッチング素子の高速遮断ができるようにする。

【解決手段】 コレクタ電流 I_c が i_1 より大きくなると、ゲート端子 4 a の電圧を瞬時に低減させる過電流制限回路 1 0 と、コレクタ電流 I_c が i_2 より大きくなると、まず、コレクタ電流 I_c を第 1 の傾きで低下させ、その後、コレクタ電流 I_c が i_3 より小さくなると急な第 2 の傾きで低下させる過電流保護回路 2 0 とを備える。これにより、比較的短期間の過電流に対しては過電流制限回路 1 0 にてゲート電圧を瞬時に低減ができる。また、比較的長期間の過電流に対しては過電圧保護回路 2 0 にて、電流変動による跳ね上がり電圧を防止しつつ I G B T 4 の高速遮断を行なえる。さらに、過電流が発生してから時間に関係なくコレクタ電流 I_c が i_3 より小さくなったときに I G B T 4 を遮断しているため、過電流が一定時間必ず流れることも防止できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000004260]

1. 変更年月日	1996年10月 8日
[変更理由]	名称変更
住 所	愛知県刈谷市昭和町1丁目1番地
氏 名	株式会社デンソー